

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Patent

Customer No. 31561  
Application No.: 10/707,113  
Docket No. 11003-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Tsai et al.  
Application No. : 10/707,113  
Filed : November 21, 2003  
For : DEEP TRENCH CAPACITOR AND METHOD OF  
FABRICATING THE SAME  
Examiner :  
Art Unit : 2831

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092124553, filed on: 2003/09/05.

A return prepaid postcard is also included herewith.

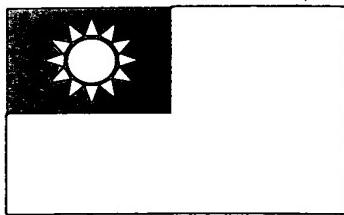
Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: April 13, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 05 日  
Application Date

申請案號：092124553  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

A handwritten signature in Chinese characters, likely belonging to the Director General, is placed below the title.

發文日期：西元 2003 年 11 月 24 日  
Issue Date

發文字號：09221188930  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	深溝渠式電容器及其製造方法
	英文	DEEP TRENCH CAPACITOR AND METHOD OF FABRICATING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 蔡子敬
	姓名 (英文)	1. Tzu-Ching Tsai
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣蘆竹鄉南華一街39號10樓之9
	住居所 (英 文)	1. 10F1.-9, No. 39, Nanhua 1st St., Luju Shiang, Taoyuan, Taiwan 338, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAOYUAN, TAIWAN, R. O. C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 、 發明名稱	中 文	
	英 文	
二 、 發明人 (共2人)	姓 名 (中文)	2. 周士衷
	姓 名 (英文)	2. Shih-Chung Chou
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 桃園縣龜山鄉文化二路38號6樓之一
	住居所 (英 文)	2. 6F1.-1, No. 38, Wenhua 2nd Rd., Gueishan Shiang, Taoyuan, Taiwan 333, R.O.C.
三 、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：深溝渠式電容器及其製造方法)

一種深溝渠式電容器的製造方法，首先提供一基底，雜湆電容層，且基底中已形成有一深溝渠，深溝渠底部已形成有一電容介電層，而一導電電層在導電電內。第溝渠形隨區，深溝渠底部之表面已形成有一第一導電層。接著在未被後在深溝渠內隨介電層上已形成有一壁形成一領氧化層。之後分領氧化層後移除導使填覆蓋之深溝渠側第一導電層且暴露出部暴露出來。之蓋即移除導使成一材料層，覆蓋第一導電層，而使基底暴露出來。電層以及領氧化層。本發明僅需形成第二導電層，即可使電容器與主動元件電性連接，因此較習知製程更為簡單。

伍、(一)、本案代表圖為：第 21 圖

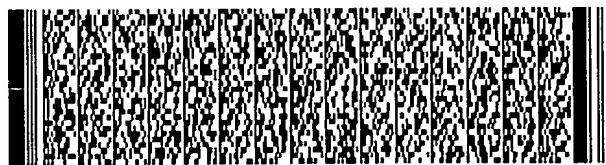
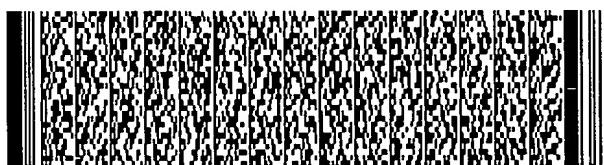
(二)、本案代表圖之元件代表符號簡單說明：

200：基底 202：罩幕層 208：摻雜區

210a：電容介電層 212：第一導電層 214b：領氧

六、英文發明摘要 (發明名稱：DEEP TRENCH CAPACITOR AND METHOD OF FABRICATING THE SAME)

A method of fabricating a deep trench capacitor is described. A substrate having a deep trench therein is provided. A doped region has been formed in the substrate near the bottom of the deep trench, a dielectric layer has been formed on the bottom surface of the deep trench, and a first conductive layer has been formed on the dielectric layer. A collar oxide layer is

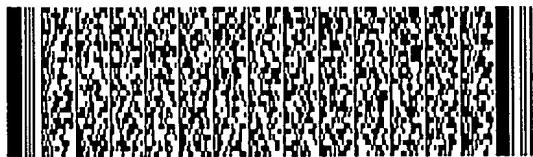


四、中文發明摘要 (發明名稱：深溝渠式電容器及其製造方法)

化層 218a : 第二導電層

六、英文發明摘要 (發明名稱：DEEP TRENCH CAPACITOR AND METHOD OF FABRICATING THE SAME)

formed on sidewalls of the deep trench that are not covered by the first conductive layer. A material layer is formed covering the first conductive layer and exposing a portion of the collar oxide layer. The exposed collar oxide layer is removed to expose the substrate. Then, removing the material layer, and forming a second conductive layer in the deep trench covering the



四、中文發明摘要 (發明名稱：深溝渠式電容器及其製造方法)

六、英文發明摘要 (發明名稱：DEEP TRENCH CAPACITOR AND METHOD OF FABRICATING THE SAME)

first conductive layer and the collar oxide layer. In this invention, only the second conductive layer is formed on the first conductive layer for electrically connecting the capacitor and a active device, hence the method is more simply.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

本發明是有關於一種動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)之電容器(Capacitor)及其製造方法，且特別是有關於一種深溝渠式(Deep Trench)電容器及其製造方法。

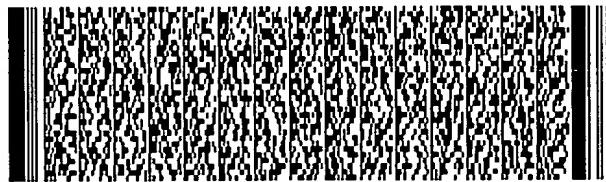
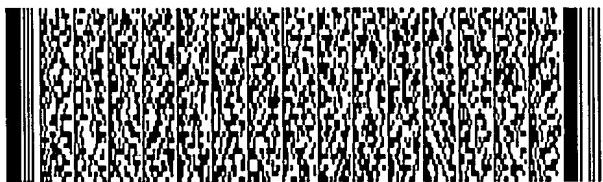
### 先前技術

當半導體進入深次微米(Deep Sub-Micron)的製程時，元件的尺寸逐漸縮小，對以往的動態隨機存取記憶體結構而言，也就是代表作為電容器的空間愈來愈小，另一方面，由於電腦應用軟體的逐漸龐大，因此所需的記憶體容量也就愈來愈大，對於這種尺寸變小而記憶體容量卻需要增加的情形，顯示以往的動態隨機存取記憶體之電容器的製造方法必須有所改變，以符合趨勢所需。

動態隨機存取記憶體(DRAM)電容器的結構主要分成兩種，其一為堆疊式電容器(Stack Capacitor)，另一則為深溝渠式電容器(Deep Trench Capacitor)，而不論是堆疊式電容器或是深溝渠式電容器，在半導體元件尺寸縮減的要求下，其製造的技術上均遭遇到越來越多的困難。

第1A圖至第1F圖係繪示習知深溝渠式電容器之製造流程結構剖面示意圖。

請參照第1A圖，首先提供一基底100，且在基底100上形成一罩幕層102。接著，進行一蝕刻製程，以在基底100中形成一深溝渠104。之後，在深溝渠104底部之基底100中形成一摻雜區106，其係為溝渠式電容器之其中一電



## 五、發明說明 (2)

極，並且在深溝渠104底部之表面形成一電容介電層108，然後在深溝渠104內形成第一多晶矽層110，覆蓋電容介電層108，其中第一多晶矽層110係為溝渠式電容器之另一電極。之後，在未被第一多晶矽層110覆蓋之深溝渠104側壁處形成一領氧化層112。

請參照第1B圖，在罩幕層102上形成一第二多晶矽層114，覆蓋第一多晶矽層110以及領氧化層112。之後，進行一化學機械研磨製程以及一蝕刻製程，以移除部分第二多晶矽層114，而留下位於深溝渠104內之第二多晶矽層114a，如第1C圖所示。

之後，請參照第1D圖，移除未被第二多晶矽層114a覆蓋之領氧化層112，而形成領氧化層112a，其中所形成之領氧化層112a係暴露出深溝渠頂部側壁處之基底100。

請參照第1E圖，在罩幕層102上形成一第三多晶矽層116，覆蓋第二多晶矽層114a以及領氧化層112a。接著，再進行一化學機械研磨製程以及一蝕刻製程，以移除部分第三多晶矽層116，而留下位於深溝渠104內之第三多晶矽層116a，如第1F圖所示，其中第三多晶矽層116a係與深溝渠頂部側壁處之基底100接觸。後續，透過第二多晶矽層114a以及第三多晶矽層116a便可以使溝渠式電容器(電容器之電極110)與形成在基底100上之電晶體(未繪示)電性連接。

然而，習知技術中，為了要於深溝渠104側壁處形成領氧化層112a(如第1D圖所示)，且所形成之領氧化層112a



### 五、發明說明 (3)

係暴露出深溝渠104頂部側壁處之基底100表面，因此必須先形成與領氧化層112有蝕刻選擇比之第二多晶矽層114a之後，再移除部分領氧化層112，以使深溝渠頂部側壁處之基底100暴露出來。因第二多晶矽層114a係與第一多晶矽層110電性接觸，因此後續在第二多晶矽層114a上形成第三多晶矽層116a之後，藉由第二多晶矽層114a以及第三多晶矽層116a便可以使溝渠式電容器與主動元件電性連接。

然而，因第二多晶矽層與第三多晶矽層是以兩道沈積子製程所形成的，因此第二多晶矽層與第三多晶矽層中離子掺雜的濃度可能會有些微的不一致，如此，將會影響元件啟始電壓值(Threshold Voltage)。

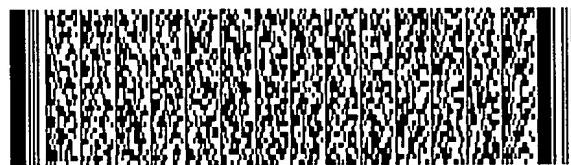
第二多晶矽層與第三多晶矽層之間還存在有另一問題，就是第二多晶矽層與第三多晶矽層之界面上可能會產生阻抗，如此，將會使用來作為溝渠式電容器與主動元件之間的電性連接構件的電阻值過高。

#### 發明內容

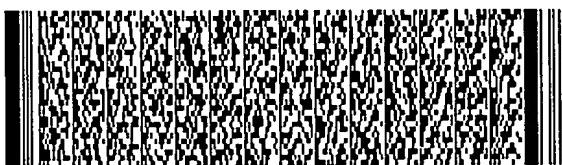
因此本發明的目的就是提供一種深溝渠式電容器及其製造方法，以解決習知第二多晶矽層與第三多晶矽層之界面可能產生阻抗而導致其電阻值過高之問題。

本發明的再一目的是提供一種深溝渠式電容器及其製造方法，以解決習知第二多晶矽層與第三多晶矽層可能會有掺雜濃度不一致，而影響元件啟始電壓之問題。

本發明提出一種深溝渠式電容器的製造方法，此方法



## 五、發明說明 (4)



## 五、發明說明 (5)

此可以避免習知第二多晶矽層以及第三多晶矽層之間可能摻雜濃度不一致，而會影響元件啟始電壓之問題。

另外，本發明利用第二導電層來作為溝渠式電容器與主動元件之間電性連接之構件，可以解決習知因第二多晶矽層與第三多晶矽層之界面會產生阻抗，而會有電阻值過高之問題。

再者，本發明是利用一層第二導電層而取代習知第二多晶矽層以及第三多晶矽層，因此本發明之方法可以使製程較為簡化，且減少對多晶矽爐管的需求。

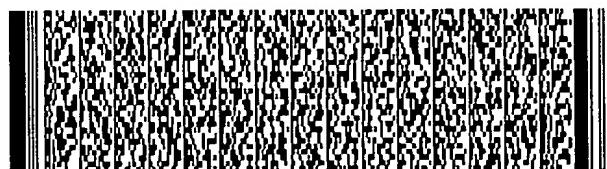
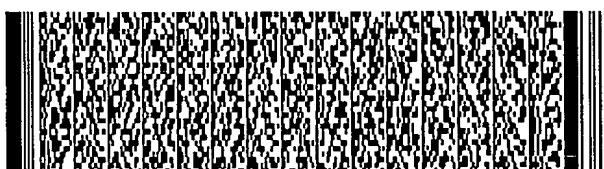
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 實施方式

第2A圖至第2I圖所示，其繪示依照本發明一較佳實施例之深溝渠式電容器的製造流程剖面示意圖。

請參照第2A圖，首先提供一基底200，並且在基底200上形成一罩幕層202。在一較佳實施例中，罩幕層202之材質例如是氮化矽。接著，利用罩幕層202作為一蝕刻罩幕進行一蝕刻製程，以圖案化基底200，而形成一深溝渠204。之後，在罩幕層202以及深溝渠204之表面形成一摻雜層206。在一較佳實施例中，摻雜層206例如是摻雜有砷離子之氧化矽層。

接著，移除部分摻雜層206，而保留位於深溝渠204底部之摻雜層206a，如第2B圖所示。移除部分摻雜層206，



## 五、發明說明 (6)

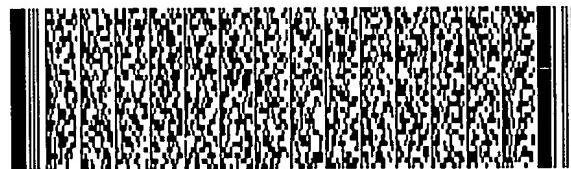
而保留位於深溝渠204底部之摻雜層206a之方法例如是先於深溝渠204中形成一層光阻層(未繪示)，此光阻層並未填滿深溝渠204。之後，進行一蝕刻步驟，以移除未被光阻層覆蓋之摻雜層206，最後再將光阻層移除即可在溝渠204底部形成摻雜層206a。

之後，進行一熱製程，以使摻雜層206a中之離子擴散至基底100中，而形成一摻雜區208，所形成之摻雜區208係作為一埋入式電極(溝渠式電容器之其中一電極)。

請參照第2C圖，在罩幕層202以及深溝渠204之表面形成一介電層210。之後，在深溝渠204內填入第一導電層212，覆蓋介電層210，其中第一導電層212並未填滿深溝渠204，所形成之第一導電層212即作為溝渠式電容器之另一電極。在一較佳實施例中，第一導電層212之材質例如是多晶矽，且形成第一導電層212之方法例如是先在罩幕層202上沈積一層導電層(未繪示)，並填滿深溝渠204，之後進行一化學機械研磨製程，移除部分導電層，直到罩幕層202暴露出來，隨後再進行一蝕刻製程，以移除深溝渠204內之部分導電層，即形成第一導電層212。

在形成第一導電層212之後，移除未被第一導電層212覆蓋之介電層210，而形成電容介電層210a，如第2D圖所示。接著，在罩幕層202之表面以及未被第一導電層212覆蓋之深溝渠204表面形成一氧化層214。

之後，請參照第2E圖，回蝕刻氧化層214，而在深溝渠204之側壁處形成一領氧化層214a。隨後，在罩幕層216



## 五、發明說明 (7)

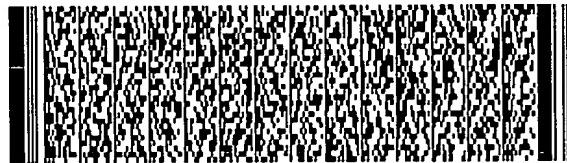
上形成一材料層216，並填滿深溝渠204。

在一較佳實施例中，材料層216之蝕刻速率係與領氧化層214a之蝕刻速率不相同，而且材料層216之材質係與第一導電層212之材質不相同。舉例來說，材料層216之材質可以是介電材料、導電材料或是有機高分子材料，較佳的是，材料層216是一光阻層。

移除部分材料層216，而使部分領氧化層214a暴露出來，如第2F圖所示。換言之，保留在深溝渠內之材料層216a係暴露出部分領氧化層214a。

之後，移除未被材料層216a覆蓋之領氧化層214a，而形成領氧化層214b，其中領氧化層214b係暴露出深溝渠204頂部側壁處之基底200，如第2G圖所示。隨後，再將材料層216a移除，暴露出第一導電層212。

請參照第2H圖，在罩幕層202上形成一第二導電層218，並覆蓋第一導電層212以及領氧化層214b。在一較佳實施例中，第二導電層218之材質例如是多晶矽。之後，移除部分第二導電層218，而留下深溝渠內之第二導電層218a，如第2I圖所示，其中第二導電層218a係與深溝渠頂部側壁處被暴露出來的基底200表面接觸。在一較佳實施例中，移除部分第二導電層218而留下深溝渠內之第二導電層218a之方法例如是先進行一化學機械研磨製程，以移除部分第二導電層218，直到罩幕層202暴露出來，之後再進行一蝕刻製程，以移除深溝渠內之部分第二導電層218，而於深溝渠內形成第二導電層218a。



## 五、發明說明 (8)

後續，再將罩幕層202移除，然後於基底200上形成主動元件(例如是電晶體)(未繪示)。在此，由於第二導電層218a係與第一導電層212電性接觸，且第二導電層218a在深溝渠之頂部處又與基底200之表面接觸，因此第二導電層218a將可以使電容器(即電容器之電極212)與上述之主動元件電性連接。

由於本發明之深溝渠式電容器及其製造方法係利用第二導電層來取代習知第二多晶矽層以及第三多晶矽層，因此可以避免習知第二多晶矽層以及第三多晶矽層之間可能摻雜濃度不一致，而影響元件啟始電壓之問題。

另外，本發明利用第二導電層來作為溝渠式電容器與晶過主動元件之間電性連接之構件，可以解決習知因第二多晶矽層與第三多晶矽層之界面會產生阻抗，而會有電阻值過高之問題。

再者，本發明是利用一層第二導電層而取代習知第二多晶矽層以及第三多晶矽層，因此本發明之方法可以使製程較為簡化，且減少對多晶矽爐管的需求。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

圖式簡單說明

第1A圖至第1F圖係繪示習知深溝渠式電容器之製造流程結構剖面示意圖；以及

第2A圖至第2I圖係依照本發明一較佳實施例之深溝渠式電容器的製造流程剖面示意圖。

圖式標示說明

100、200：基底

102、202：罩幕層

104、204：深溝渠

106、208：摻雜區

108、210、210a：電容介電層

110、212：第一多晶矽層（第一導電層）

112、112a、214a、214b：領氧化層

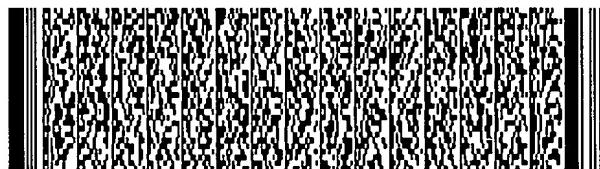
114、114a、218、218a：第二多晶矽層（第二導電層）

116、116a：第三多晶矽層

206、206a：摻雜層

214：氧化層

216、216a：材料層



## 六、申請專利範圍

1. 一種深溝渠式電容器的製造方法，包括：

提供一基底，該基底中已形成有一深溝渠，且該深溝渠底部已形成有一摻雜區，該深溝渠底部之表面已形成有一電容介電層，在該電容介電層上已形成有一第一導電層；

在未被該第一導電層填覆蓋之該深溝渠側壁處形成一領氧化層；

在該深溝渠內形成一材料層，覆蓋該第一導電層，而暴露出部分該領氧化層；

移除被暴露出的該領氧化層，以使該深溝渠頂部側壁處之該基底暴露出來；

移除該材料層；以及

在該深溝渠內形成一第二導電層，覆蓋該第一導電層以及該領氧化層，且該第二導電層係與該深溝渠頂部側壁處之該基底接觸。

2. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該材料層之蝕刻速度與該領氧化層之蝕刻速度不相同。

3. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該材料層之材質係與該第一導電層之材質不相同。

4. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該材料層係為一光阻層。

5. 如申請專利範圍第1項所述之深溝渠式電容器的製



## 六、申請專利範圍

造方法，其中在未被該第一導電層覆蓋之該深溝渠側壁處形成該領氧化層之方法包括：

在該基底之上方與深溝渠之表面形成一氧化層；以及回蝕刻該氧化層，以在該深溝渠之側壁處形成該領氧化層。

6. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中在該深溝渠內形成一材料層，覆蓋該第一導電層，並暴露出部分該領氧化層之方法包括：

在該基底之上方形成一材料層，並填滿該深溝渠且覆蓋該第一導電層以及該領氧化層；以及

移除部分該材料層，以使部分該領氧化層暴露出來。

7. 如申請專利範圍第6項所述之深溝渠式電容器的製造方法，其中移除部分該材料層，以使部分該領氧化層暴露出來之方法包括：

進行一化學機械研磨製程，以移除部分該材料層：以及

進行一蝕刻製程，再移除部分該材料層，以使部分該領氧化層暴露出來。

8. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中移除被暴露出的該領氧化層之方法包括進行一濕式蝕刻製程。

9. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該第一導電層之材質包括多晶矽。

10. 如申請專利範圍第1項所述之深溝渠式電容器的製



## 六、申請專利範圍

造方法，其中該第二導電層之材質包括多晶矽。

11. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中在該基底中形成該深溝渠，並且在該深溝渠底部之該基底中形成該摻雜區，在該深溝渠底部之表面形成該電容介電層，且在該電容介電層上形成該第一導電層之方法包括：

在該基底上形成一罩幕層；

以該罩幕層為一蝕刻罩幕圖案化該基底，以在該基底中形成該深溝渠；

在該罩幕層以及該深溝渠之表面形成一摻雜層；

移除部分該摻雜層，而保留位於該深溝渠底部之該摻雜層；

進行一熱製程，以使該摻雜層中之離子擴散至該基底中，以形成該摻雜區；

移除該摻雜層；

在該罩幕層以及該深溝渠之表面形成一介電層；

在該深溝渠內填入該第一導電層，該第一導電層並未填滿該深溝渠；以及

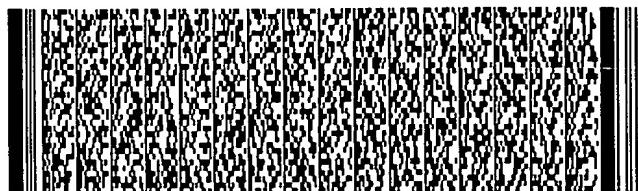
移除部分該介電層，而保留被該第一導電層覆蓋之該介電層，以形成該電容介電層。

12. 一種深溝渠式電容器，包括：

一基底，該基底中具有一深溝渠；

一摻雜區，配置在該深溝渠底部處之該基底中；

一電容介電層，配置在該深溝渠底部之表面上；



## 六、申請專利範圍

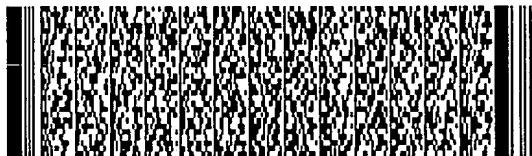
一 第一導電層，配置在該電容介電層上；

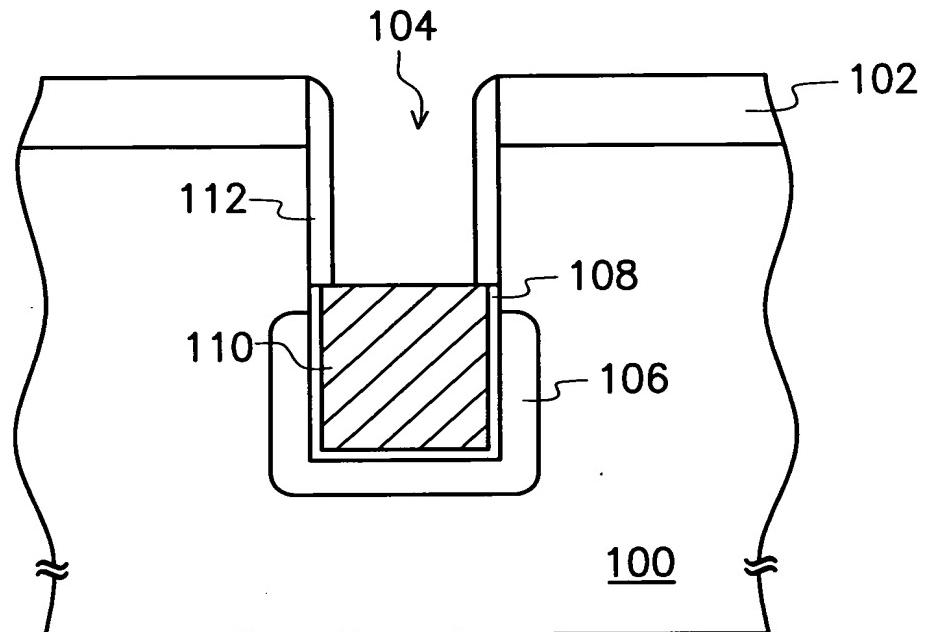
一 領氧化層，配置在該深溝渠頂部之側壁上，且該領氧化層係暴露出該深溝渠頂部側壁處之該基底；以及

一 第二導電層，配置在該深溝渠中，覆蓋住該第一導電層以及該頂氧化層，且該第二導電層係與該深溝渠頂部側壁處之該基底接觸。

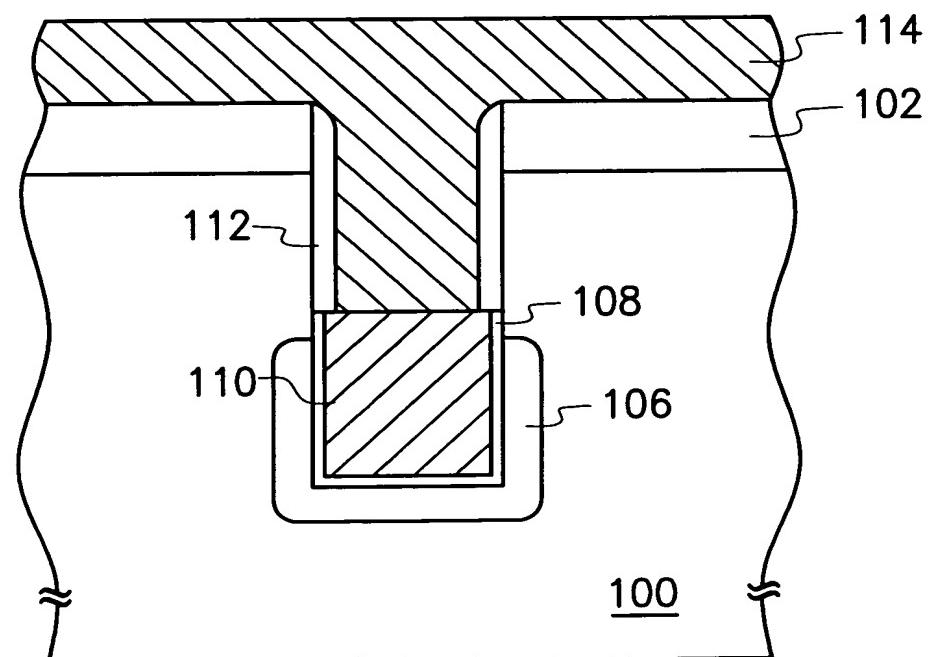
13. 如申請專利範圍第12項所述之深溝渠式電容器，其中該第一導電層之材質包括多晶矽。

14. 如申請專利範圍第12項所述之深溝渠式電容器，其中該第二導電層之材質包括多晶矽。

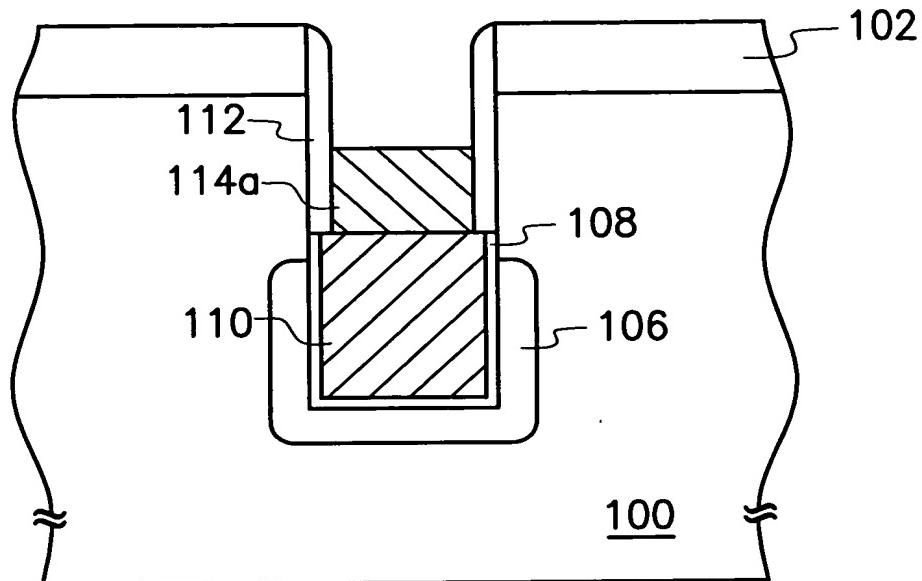




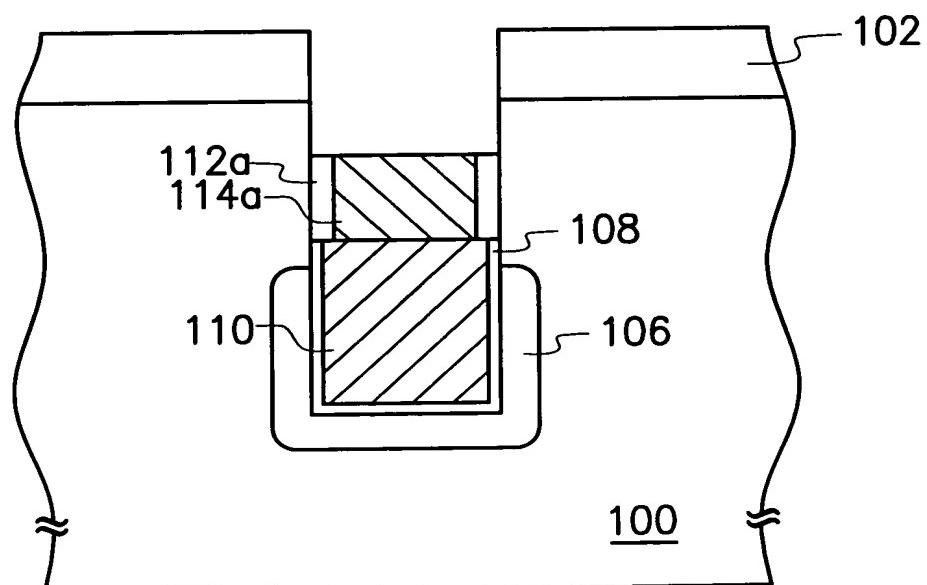
第 1A 圖



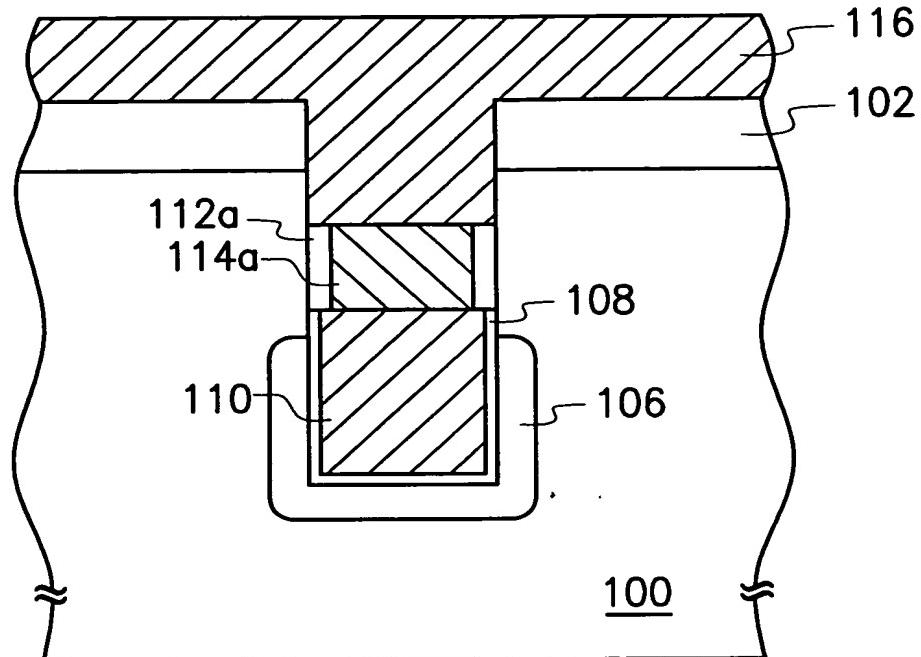
第 1B 圖



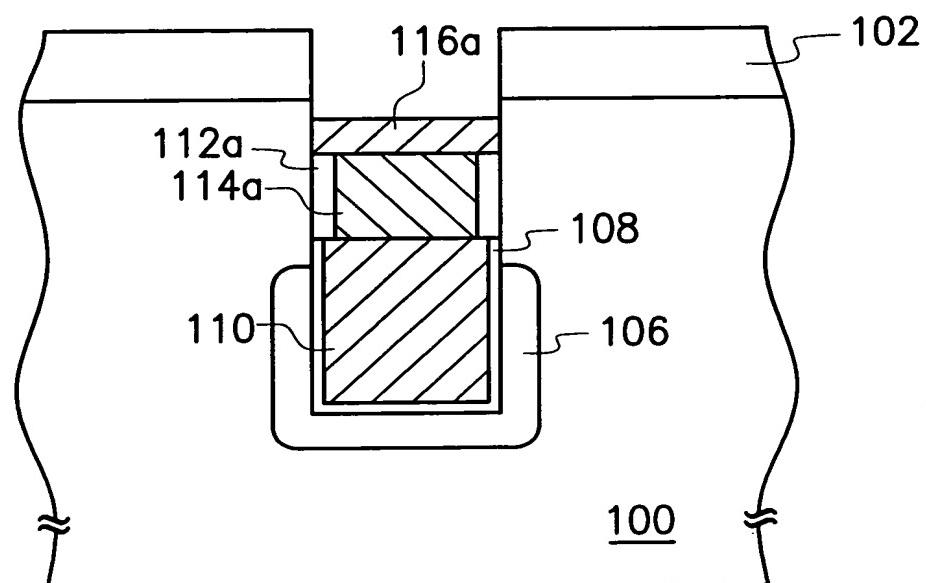
第 1C 圖



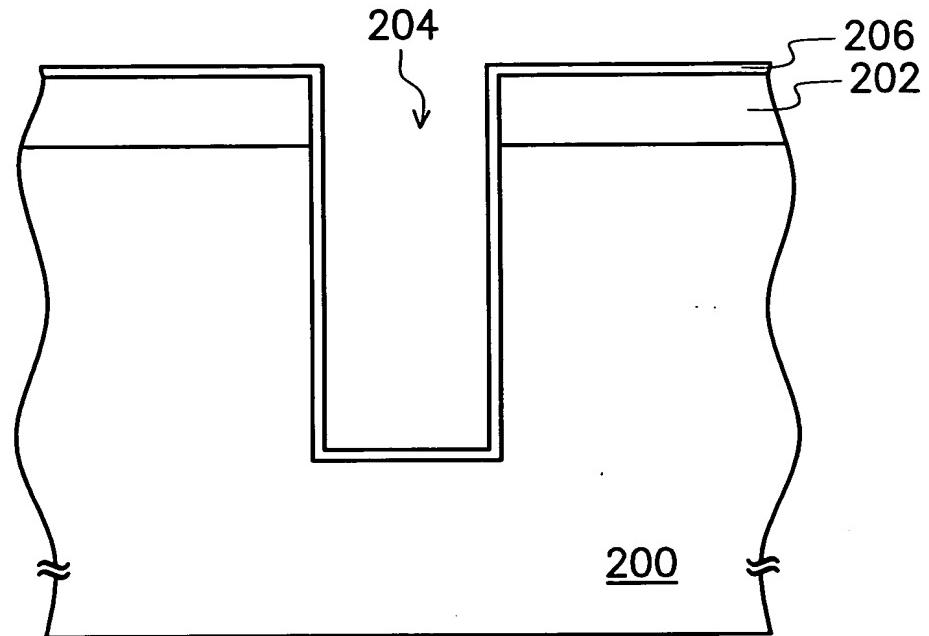
第 1D 圖



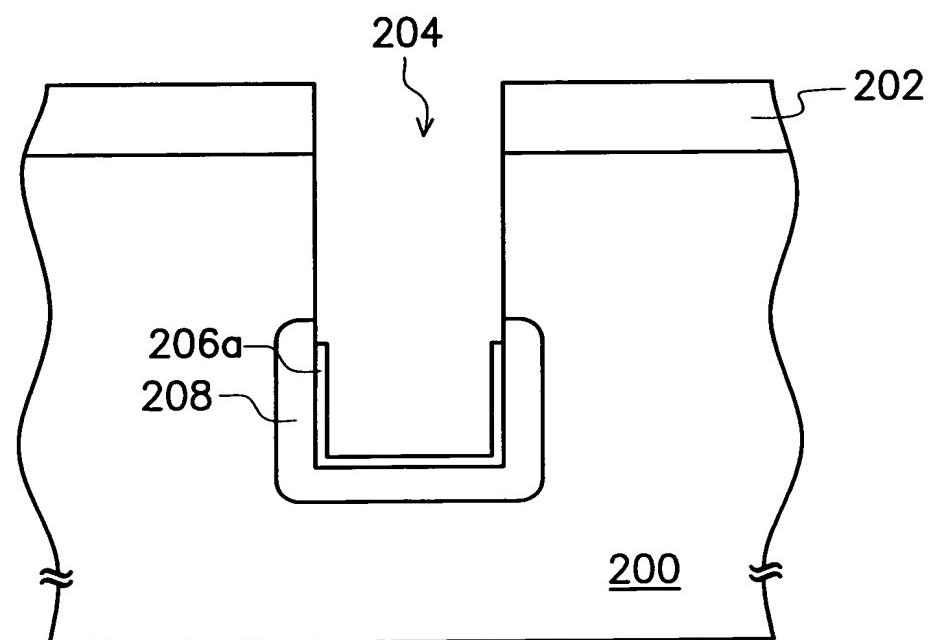
第 1E 圖



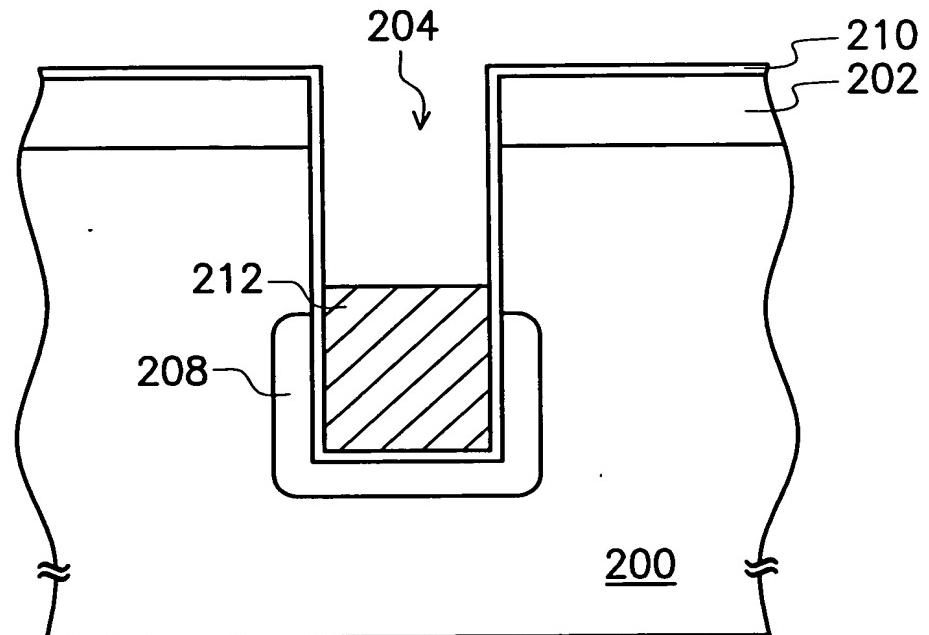
第 1F 圖



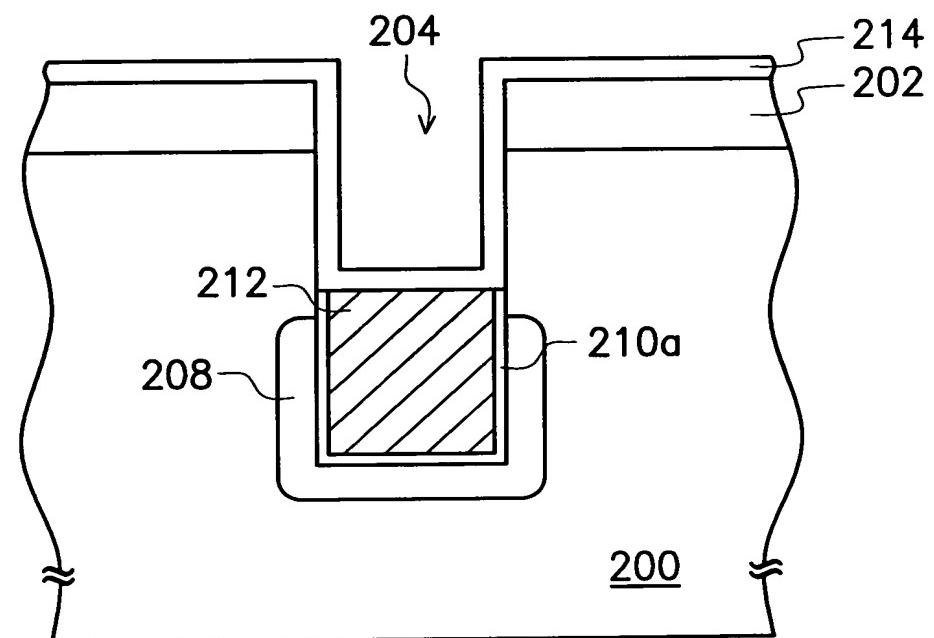
第 2A 圖



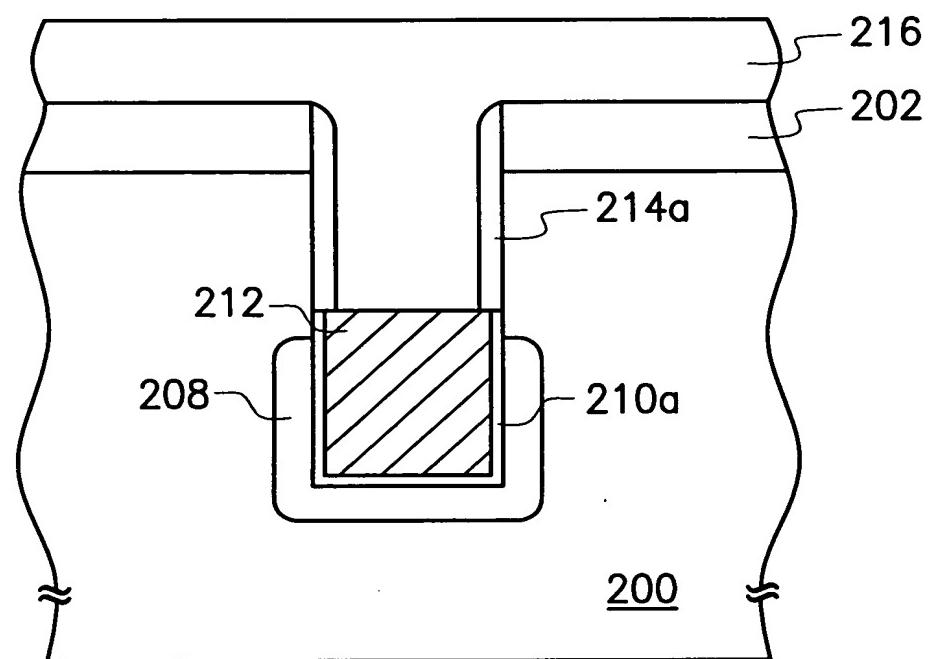
第 2B 圖



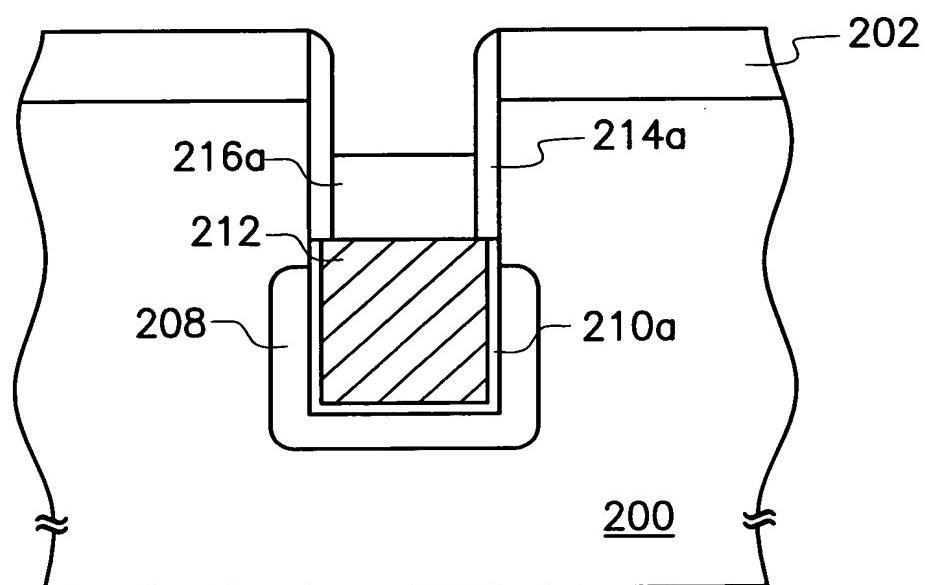
第 2C 圖



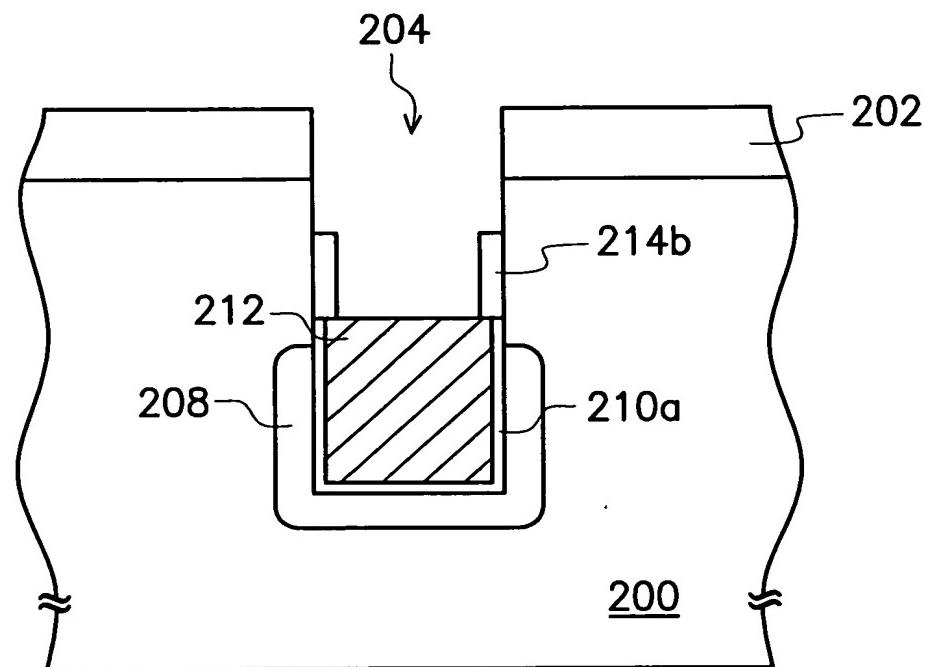
第 2D 圖



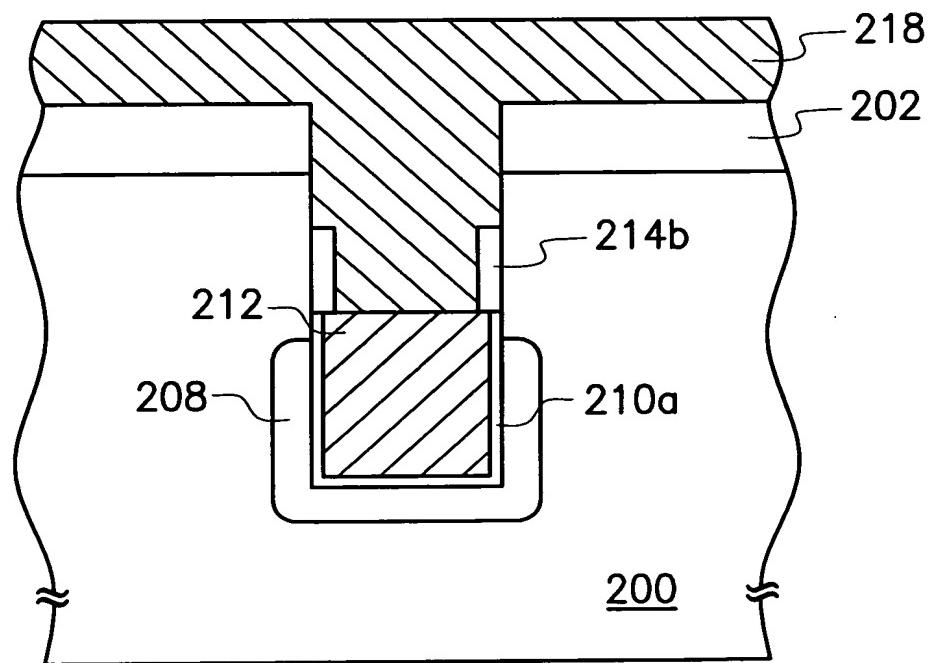
第 2E 圖



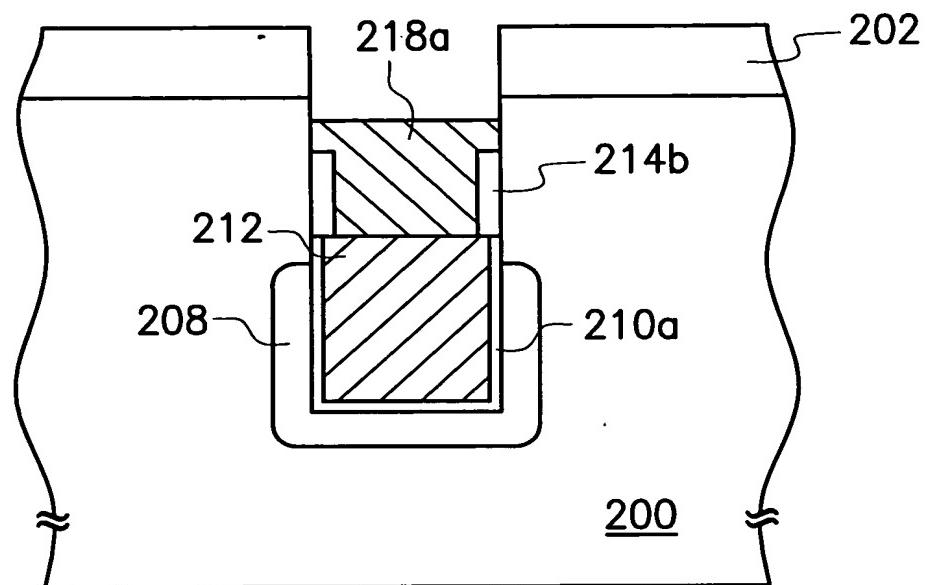
第 2F 圖



第 2G 圖

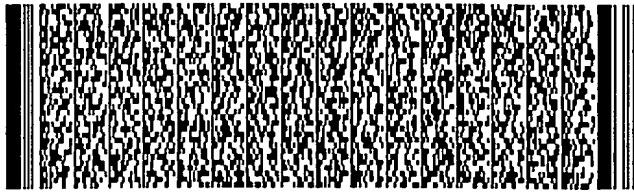


第 2H 圖

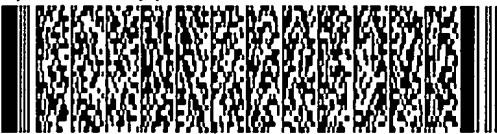


第 2I 圖

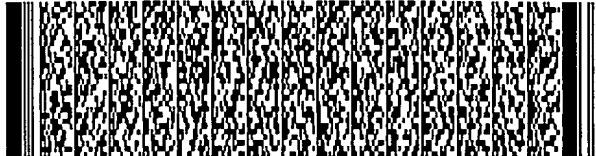
第 1/19 頁



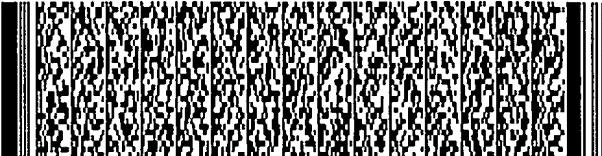
第 2/19 頁



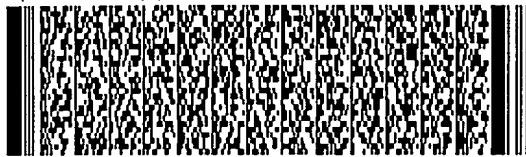
第 3/19 頁



第 3/19 頁



第 4/19 頁



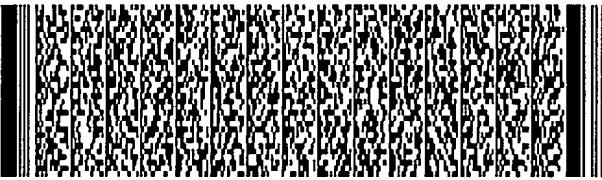
第 5/19 頁



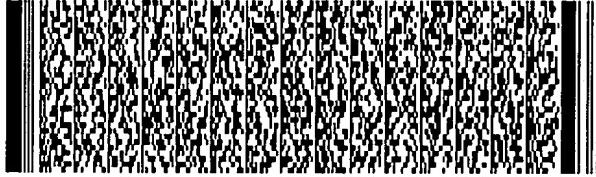
第 6/19 頁



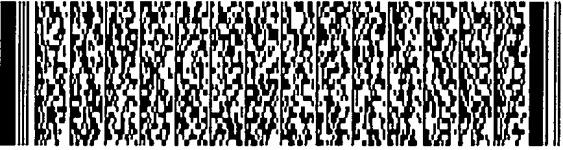
第 7/19 頁



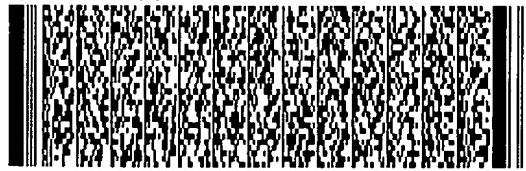
第 7/19 頁



第 8/19 頁



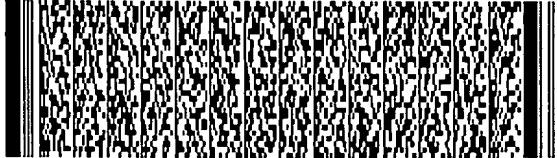
第 8/19 頁



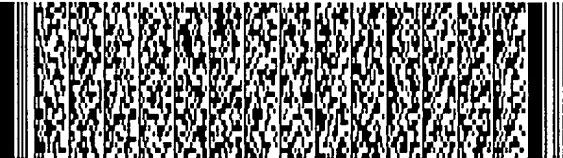
第 9/19 頁



第 9/19 頁



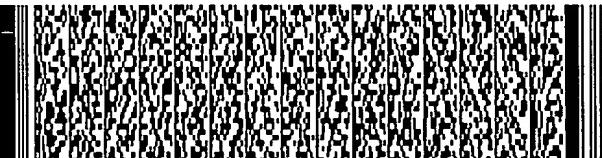
第 10/19 頁



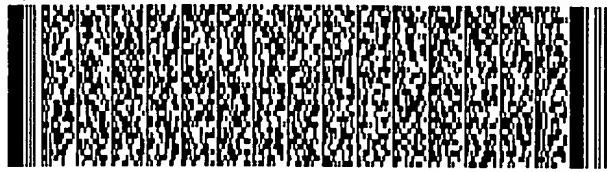
第 10/19 頁



第 11/19 頁



第 11/19 頁



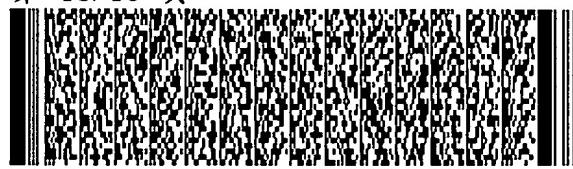
第 12/19 頁



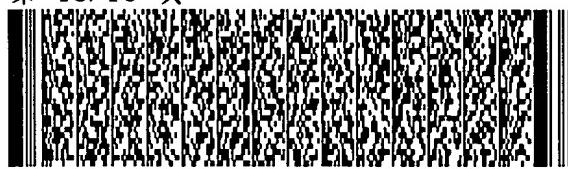
第 12/19 頁



第 13/19 頁



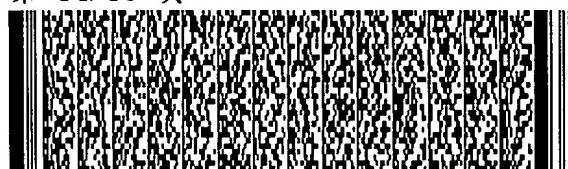
第 13/19 頁



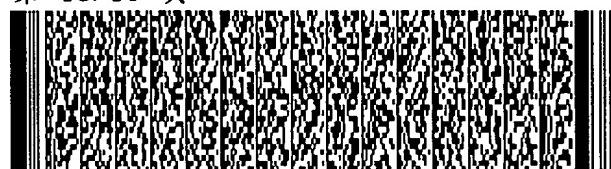
第 14/19 頁



第 14/19 頁



第 15/19 頁



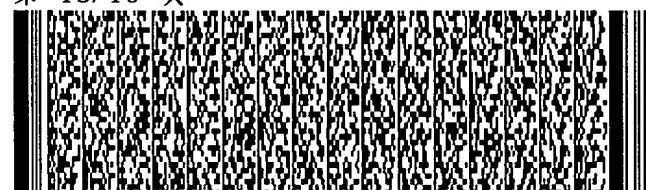
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

